

JC19 Rec'd PCT/PTO 28 FEB 2002

powered by Dialog

Semiconductor integrated circuit device mfr. - includes forming 1st wiring on substrate, forming interlayer film on wiring, and forming connection hole on the interlayer film by etching NoAbstract

Patent Assignee: HITACHI LTD

Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
JP 5095048	A	19930416	JP 91255324	A	19911002	199320	B

Priority Applications (Number Kind Date): JP 91255324 A (19911002)

Patent Details

Patent	Kind	Language	Page	Main IPC	Filing Notes
JP 5095048	A		7	H01L-021/90	

Derwent World Patents Index

© 2002 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 9469439

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-95048

(43)公開日 平成5年(1993)4月16日

(51)Int.Cl.⁵

H 0 1 L 21/90
21/3205

識別記号

B 7353-4M

7353-4M

7353-4M

F I

H 0 1 L 21/ 88

技術表示箇所

K

N

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平3-255324

(22)出願日

平成3年(1991)10月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 深山 昌敬

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 細江 英之

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 三谷 恒夫

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

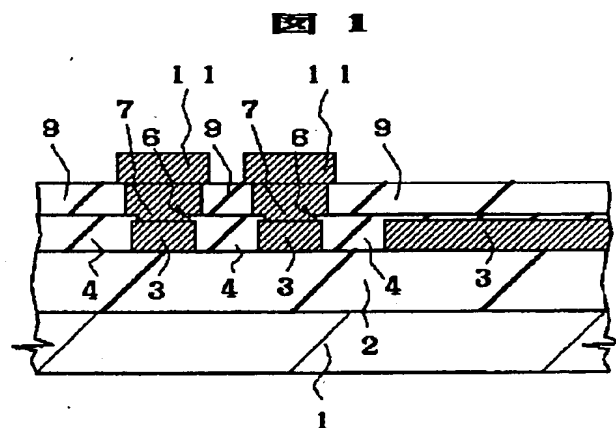
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】半導体集積回路装置の製造方法において、高集積化を図る。電氣的信頼性を向上する。動作速度を高速化する。歩留りを向上する。

【構成】第1の配線3の上層に、この第1の配線3上の膜厚が第1の配線3より薄い第1の層間膜4を形成し、深さよりも内径が大きい接続孔6を形成し、接続用配線7を形成し、この接続用配線7以外の領域に、その表面高さが接続用配線7とほぼ一致する第2の層間絶縁膜9を形成し、第2の配線11を形成する。

【効果】接続孔6を、接続用配線7で容易に埋込むことができる。接続孔6の内径を、フォトリソ膜のパターンより小さくできる。第2の層間膜9の膜厚を接続用配線7と同様に厚くすることができる。第2の配線11の下地段差を低減できる。



【特許請求の範囲】

【請求項1】 半導体基板の主面上に第1の配線を形成する工程と、該第1の配線上の膜厚が該第1の配線の膜厚よりも薄い第1の層間膜を前記第1の配線の上層に形成する工程と、前記第1の配線上の第1の層間膜に、深さよりも内径の方が大きく、前記第1の配線の表面を露出させる接続孔をフォトリソグラフィ技術及びエッチング技術で形成する工程と、前記第1の層間膜の上層に接続用配線を構成する第2の導電膜を形成すると共に、該第2の導電膜を前記接続孔を通して前記第1の配線に接

10

続する工程と、前記第2の導電膜をフォトリソグラフィ技術及びエッチング技術でパターンニングし、前記接続孔上に残存させ接続用配線を形成する工程と、前記接続用配線以外の領域に第2の層間膜を形成し、該接続用配線の表面と第2の層間膜の表面をほぼ一致させる工程と、該第2の層間膜の上層に前記接続用配線に接続される第2の配線を形成する工程とを備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記第1の配線、接続用配線、第2の配線の夫々を、アルミニウム膜又はアルミニウム合金膜を主体に形成することを特徴とする前記請求項1に記載の半導体集積回路装置の製造方法。

20

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、多層配線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 多層配線を有する半導体集積回路装置において、高集積化を図った場合には、上層の配線と下層の配線との間を接続用するための接続孔のアスペクト比

(縦横比)が大きくなる。接続孔のアスペクト比が大きくなった場合には、配線を構成する導電膜例えばアルミニウム膜を形成する際に、ステップカバレッジ(段差部での被覆率)が低下し、接続孔内を導電膜で埋込むことができなくなり、上層の配線と下層の配線との間の電氣的接続の信頼性が低下するという問題がある。この問題に対しては、例えば、層間膜の膜厚を薄くすることにより、アスペクト比を小さくし、接続孔での導電膜の被覆率を向上し、電氣的接続の信頼性を向上することは可能である。しかし、層間膜の膜厚を薄くした場合には、層間膜表面の平坦化を充分に行なうことができなくなり、この層間膜の上層に形成される配線の被覆率が低下し、配線間ショートが低下したり、配線の形成不良による断線が発生するという問題がある。また、層間膜の膜厚を薄くした場合には、配線間容量(カップリング容量)が大

50

きくなり、配線での信号伝送遅延が大きくなるという問題がある。

【0003】 そこで、上層の配線と下層の配線との間の電氣的接続の信頼性を向上するための一手法として、下層の配線上の層間膜に接続孔を形成後、この接続孔内を選択CVD法で形成したタングステンで埋込み、層間膜上に上層の配線を形成し、前記タングステンを介して、上層と下層の配線との間を電氣的に接続する方法が提案されている。この方法によれば、アスペクト比が大きい接続孔を通して上層の配線と下層の配線との電氣的接続を行なうことができる。また、層間膜の膜厚を配線間容量を低減できる程度にすることができる。また、層間膜表面の平坦化を図ることができるので、層間膜の上層の配線の断線不良、ショート不良を低減することができる。

【0004】

【発明が解決しようとする課題】 しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見出した。

【0005】 選択CVD法でタングステン膜を形成する場合、選択性が低下し、接続孔内だけでなく層間膜上にタングステンが形成され、結果的に歩留りが低下するという問題があった。

【0006】 また、タングステン膜の膜厚にばらつきが発生し、上層の配線と下層の配線との電氣的接続の信頼性を低下するという問題があった。

【0007】 また、タングステン膜はアルミニウム膜と比べて比抵抗が大きいため、配線での信号伝送遅延が大きくなるという問題があった。

30

【0008】 本発明の目的は、多層配線を有する半導体集積回路装置の製造方法において、高集積化を図ることが可能な技術を提供することにある。

【0009】 本発明の他の目的は、前記半導体集積回路装置の製造方法において、電氣的信頼性を向上することが可能な技術を提供することにある。

【0010】 本発明の他の目的は、前記半導体集積回路装置の製造方法において、動作速度を高速化することが可能な技術を提供することにある。

40

【0011】 本発明の他の目的は、前記半導体集積回路装置の製造方法において、歩留りを向上することが可能な技術を提供することにある。

【0012】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0013】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】 (1) 半導体基板の主面上に第1の配線を形成する工程と、該第1の配線上の膜厚が該第1の配線

の膜厚よりも薄い第1の層間膜を前記第1の配線の上層に形成する工程と、前記第1の配線上の第1の層間膜に、深さよりも内径の方が大きく、前記第1の配線の表面を露出させる接続孔をフォトリソグラフィ技術及びエッチング技術で形成する工程と、前記第1の層間膜の上層に接続用配線を構成する第2の導電膜を形成すると共に、該第2の導電膜を前記接続孔を通して前記第1の配線に接続する工程と、前記第2の導電膜をフォトリソグラフィ技術及びエッチング技術でパターンニングし、前記接続孔上に残存させ接続用配線を形成する工程と、前記接続用配線以外の領域に第2の層間膜を形成し、該接続用配線の表面と第2の層間膜の表面をほぼ一致させる工程と、該第2の層間膜の上層に前記接続用配線に接続される第2の配線を形成する工程とを備える。

【0015】(2) 前記第1の配線、接続用配線、第2の配線の夫々を、アルミニウム膜又はアルミニウム合金膜を主体に形成する。

【0016】(3) 前記第1の層間膜に形成される接続孔の深さよりも、前記接続用配線を構成する第2の導電膜の膜厚を厚く形成する。

【0017】

【作用】 前述した手段(1)によれば、前記第1の層間膜に形成する接続孔の内径をその深さよりも大きく形成したことにより、第2の導電膜でこの接続孔を容易に埋込むことができるので、この第2の導電膜と第1の配線との電気的接続の信頼性を向上することができる。これにより、半導体集積回路装置の電気的信頼性を向上することができる。

【0018】 また、前記第1の配線上にある第1の層間膜の膜厚は、第1の配線の膜厚よりも薄いので、第1の層間膜をパターンニングして接続孔を形成す際のサイドエッチング量は小さくなり、接続孔の内径をフォトリソグラフィ膜の接続孔パターンの内径に近づけることができる。つまり、接続孔を微細化することができるので、半導体集積回路装置の高集化を図ることができる。

【0019】 また、接続用配線をパターンニングする際には、フォトリソグラフィ膜のパターンに対して、接続用配線の方がサイドエッチングにより小さく形成されるので、接続用配線の寸法すなわち第2の層間膜に形成される接続孔の寸法を縮小することができる。つまり、接続部を微細化することができるので、半導体集積回路装置の高集化を図ることができる。

【0020】 また、接続用配線以外の領域に第2の層間膜を形成し、前記接続用配線の表面の高さとこの第2の層間膜の表面の高さをほぼ一致させることにより、この第2の層間膜上に形成される第2の配線の下地段差は低減される。これにより、第2の配線を形成する際の被覆率を向上することができるので、被覆率の低下による第2の配線の断線不良、ショート不良等を低減し、半導体集積回路装置の歩留りを向上することができる。

【0021】 前述した手段(2)によれば、アルミニウム膜またはアルミニウム合金膜の比抵抗は、タンゲステン膜より小さいので、抵抗による配線での信号伝送遅延を低減し、半導体集積回路装置の動作速度を高速化することができる。

【0022】 また、アルミニウム膜の形成は、周知の確立された形成技術を用いることができるので、選択CVD法でタンゲステン膜を形成する際に発生するような問題は発生しない。これにより、半導体集積回路装置の電気的信頼性の向上、動作速度の高速化、歩留りの向上を図ることができる。

【0023】 前述した手段(3)によれば、前記第2の層間膜の膜厚を、前記接続用配線の膜厚と同様に厚くすることができるので、第1の配線と第2の配線との間の配線間容量(カップリング容量)は低減される。これにより、配線間容量による配線での信号伝送遅延を低減し、半導体集積回路装置の動作速度を高速化することができる。

【0024】

【実施例】 以下、本発明の実施例を図面を用いて具体的に説明する。

【0025】 なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0026】 【実施例1】 本発明の実施例1の半導体集積回路装置の構成を、図1(要部断面図)を用いて説明する。

【0027】 図1に示すように、本実施例1の半導体集積回路装置は、半導体基板1を主体に構成されている。この半導体基板1は、例えば単結晶珪素で構成されている。

【0028】 前記半導体基板1の主面上には、絶縁膜2が設けられている。この絶縁膜2は、例えば、酸化珪素膜で構成されている。前記半導体基板1の主面部には、図示しない素子が設けられている。前記絶縁膜2は、この素子上に設けられている。

【0029】 前記絶縁膜2の上層には、第1の配線3が設けられている。この第1の配線3は、例えば、アルミニウム膜またはアルミニウム合金膜で構成されている。この第1の配線3の膜厚は、例えば、1 μ m程度である。この第1の配線3の幅は、例えば、2乃至3 μ m程度である。この第1の配線3は、前記絶縁膜2の図示しない接続孔を通して、前記図示しない素子に電気的に接続されている。

【0030】 前記第1の配線3の上層には、層間絶縁膜4が設けられている。この層間絶縁膜4は、例えば、酸化珪素膜で構成されている。この層間絶縁膜4を構成する酸化珪素膜は、例えば、バイアススパッタリング法で形成されている。この酸化珪素膜をバイアススパッタリング法で形成することにより、この層間絶縁膜4の表面

を平坦化することができる。この層間絶縁膜4の膜厚は、前記第1の配線3の側壁部では例えば1.2乃至1.3 μm 程度である。一方、この層間絶縁膜4の膜厚は、前記第1の配線3上では、例えば、0.2乃至0.3 μm 程度である。この層間絶縁膜4には、前記第1の配線3の表面を露出させる接続孔6が設けられている。この接続孔5の内径は、例えば1乃至1.5 μm 程度である。

【0031】前記接続孔6上には、接続用配線7が設けられている。この接続用配線7は、例えば、アルニウム膜またはアルミニウム合金膜で構成されている。この接

続用配線7は、前記接続孔6の深さよりも厚く、例えば、1.5 μm 程度の膜厚で構成されている。また、この接続用配線7の幅は、例えば、2乃至3 μm 程度である。

【0032】前記接続用配線7以外の領域には、第2の層間絶縁膜9が設けられている。この第2の層間絶縁膜9は、その表面の高さが前記接続用配線7の表面の高さとはほぼ一致させて設けられている。この層間絶縁膜9は、例えば、酸化珪素膜で構成されている。この酸化珪素膜は、例えば、CVD法で堆積後、接続用配線7の表

面が露出するように、平坦化エッチ（エッチバック）することにより形成されている。

【0033】前記第2の層間絶縁膜9の上層には、第2の配線11が設けられている。この第2の配線11は、前記第2の層間絶縁膜9から露出された第1の配線3の表面と電気的に接続されている。この第2の配線11は、例えば、アルミニウム膜またはアルミニウム合金膜で構成されている。また、この第2の配線11上には、図示しない表面保護膜が設けられている。

【0034】次に、前記半導体集積回路装置の製造方法を、図2乃至図7（製造工程毎に示す要部断面図）を用いて説明する。

【0035】まず、半導体基板1の主面部に、図示しない素子を形成する。この後、前記半導体基板1の主面上に、絶縁膜2を形成する。

【0036】次に、前記絶縁膜2上に、例えば、スパッタリング法で、1 μm 程度の膜厚のアルミニウム膜またはアルミニウム合金膜を形成する。この後、このアルミニウム膜またはアルミニウム合金膜をフォトリソグラフィ技術及びエッチング技術でパターンニングし、図2に示すように、第1の配線3を形成する。この配線3の幅は、例えば、2乃至3 μm 程度である。

【0037】次に、前記第1の配線3の上層に、例えば、バイアススパッタリング法で、酸化珪素膜を形成する。この酸化珪素膜をバイアススパッタリング法で形成することにより、この酸化珪素膜の表面を平坦化することができる。この酸化珪素膜は、第1の層間絶縁膜4を構成する。この第1の層間絶縁膜4の膜厚は、前記第1の配線3の側壁部では、例えば、1.2乃至1.3 μm 程度である。一方、前記第1の配線3上での層間絶縁膜4

の膜厚は、例えば、0.2乃至0.3 μm 程度である。この後、この第1の層間絶縁膜4上に、フォトレジスト膜5を形成する。

【0038】次に、前記フォトレジスト膜5を露光、現像し、接続孔（6）のパターンを形成する。この後、図3に示すように、前記フォトレジスト膜5をマスクとして、前記第1の層間絶縁膜4をエッチングし、この第1の層間絶縁膜4に前記第1の配線3の表面を露出させる接続孔6を形成する。この接続孔6の内径は、例えば、1乃至1.5 μm 程度である。この工程において、前記第1の配線3上での第1の層間絶縁膜4の膜厚すなわち接続孔6の深さは、第1の配線3の膜厚（1 μm 程度）よりも薄く、0.2乃至0.3程度なので、第1の層間絶縁膜3をパターンニングして接続孔6を形成する際のサイドエッチング量は小さくなり、接続孔6の内径をフォトレジスト膜5の接続孔パターンの内径に近づけることができる。つまり、接続孔6を微細化することができるので、半導体集積回路装置の高集化を図ることができる。

【0039】次に、前記第1の層間絶縁膜4の上層に、例えば、スパッタリング法で、図4に示すように、接続用配線7を構成するアルミニウム膜を形成する。前記接続孔6の内径は、1乃至1.5 μm 程度であり、深さは0.2乃至0.3 μm 程度である。従って、この接続孔6のアスペクト比は小さく構成されているので、このアルミニウム膜で接続孔6を容易に埋込むことができる。これにより、このアルミニウム膜と第1の配線3との間の電気的接続の信頼性を向上することができる。これにより、半導体集積回路装置の電気的信頼性を向上することができる。この後、このアルミニウム膜の上層に、フォトレジスト膜8を形成する。

【0040】次に、前記フォトレジスト膜8を露光、現像し、接続用配線（7）のパターンを形成する。この後、このフォトレジスト膜8をマスクとして、前記アルミニウム膜をエッチングし、図5に示すように、接続用配線7を形成する。ここで、接続用配線7をパターンニングする際には、フォトレジスト膜8のパターンに対して、接続用配線7の方がサイドエッチングにより小さく形成されるので、接続用配線7の寸法すなわち第2の層間絶縁膜（9）に形成される接続孔の寸法を縮小することができる。つまり、接続部を微細化することができるので、半導体集積回路装置の高集化を図ることができる。この後、前記フォトレジスト膜8を除去する。

【0041】次に、前記接続用配線7の上層に、第2の層間絶縁膜9を形成する。この第2の層間絶縁膜9は、例えば、CVD法で酸化珪素膜を堆積することにより形成される。この後、図6に示すように、この第2の層間絶縁膜9上に、フォトレジスト膜10を形成する。

【0042】次に、前記フォトレジスト膜10、第2の層間絶縁膜9の夫々を、異方性エッチングで均等にエッ

10

20

30

40

50

チング（エッチバック）し、図7に示すように、前記接続用配線7以外の領域に第2の層間絶縁膜9を形成すると共に、この第2の層間絶縁膜9の表面の高さと前記第1の配線3の表面の高さとをほぼ一致させる。この工程により、前記第1の配線3の表面が露出する。

【0043】次に、前記第2の層間絶縁膜9の上層に、例えば、スパッタリング法でアルミニウム膜またはアルミニウム合金膜を形成する。この後、このアルミニウム膜またはアルミニウム合金膜をフォトリソグラフィ技術及びエッチング技術でパターンニングし、第2の配線11を形成する。この第2の配線11は、前記第1の配線3の露出された表面に電氣的に接続される。ここで、前記第2の層間絶縁膜9の表面の高さと、前記第1の配線3の表面の高とはほぼ一致しているため、この第2の配線11の地下段差は低減されている。これにより、この第2の配線11を構成するアルミニウム膜またはアルミニウム合金膜を形成する際の被覆率を向上することができるので、被覆率の低下による第2の配線11の断線不良、ショート不良等を低減し、半導体集積回路装置の歩留りを向上することができる。

【0044】次に、前記第2の配線11上に、図示しない表面保護膜を形成することにより、前記図1に示す本実施例1の半導体集積回路装置の完成する。

【0045】以上、説明したように、本実施例1の製造方法によれば、前記第1の層間絶縁膜4に形成される接続孔6の内径をその深さよりも大きく形成したことにより、接続用配線7で前記接続孔6内を容易に埋込むことができるので、この接続用配線7と第1の配線3との電氣的接続の信頼性を向上することができる。これにより、半導体集積回路装置の電氣的信頼性を向上することができる。

【0046】また、前記第1の配線3上にある第1の層間絶縁膜4の膜厚は、第1の配線3よりも薄いので、この第1の層間絶縁膜4をパターンニングして接続孔6を形成する際のサイドエッチング量は小さくなり、接続孔6の内径をフォトレジスト膜5の接続孔パターンの内径に近づけることができる。つまり接続孔6を微細化することができるので、半導体集積回路装置の高集積化を図ることができる。

【0047】また、接続用配線7をパターンニングする際には、フォトレジスト膜8のパターンに対して、接続用配線7の方がサイドエッチングにより小さく形成されるので、接続用配線7の寸法すなわち第2の層間絶縁膜9に形成される接続孔の寸法を縮小することができる。つまり、接続部をを微細化することができるので、半導体集積回路装置の高集積化を図ることができる。

【0048】また、接続用配線7以外の領域に第2の層間絶縁膜9を形成し、前記接続用配線7の表面の高さとこの第2の層間絶縁膜9の表面の高さとをほぼ一致させることにより、この第2の層間絶縁膜9上に形成される

第2の配線11の地下段差は低減される。これにより、第2の配線11を形成する際の被覆率を向上することができるので、被覆率の低下による第2の配線11の断線不良、ショート不良等を低減し、半導体集積回路装置の歩留りを向上することができる。

【0049】また、アルミニウム膜またはアルミニウム合金膜の比抵抗は、タングステン膜より小さいので、抵抗による第1の配線3、接続用配線7、第2の配線11での信号伝送遅延を低減し、半導体集積回路装置の動作速度を高速化することができる。

【0050】また、アルミニウム膜の形成は、周知の確立された形成技術を用いることができるので、選択CVD法でタングステン膜を形成する際に発生するような問題は発生しない。これにより、半導体集積回路装置の電氣的信頼性の向上、歩留りの向上、動作速度の高速化を図ることができる。

【0051】また、前記第2の層間絶縁膜9の膜厚を、前記接続用配線7の膜厚と同様に厚くすることができるので、第1の配線3と第2の配線11との間の配線間容量（カップリング容量）は低減される。これにより、配線間容量による第1の配線3及び第2の配線11での信号伝送遅延を低減し、半導体集積回路装置の動作速度を高速化することができる。

【0052】〔実施例2〕次に、本発明の実施例2の半導体集積回路装置の製造方法を、図8乃至図10（製造工程の一部を示す要部断面図）の夫々を用いて説明する。

【0053】まず、半導体基板1の主面部に図示しない素子を形成すると共に、第1の配線（3）と第2の配線（11）との接続領域において、前記半導体基体1の主面部の接続孔が形成される領域に、突起物12を形成する。この突起物12は、例えば、MISFETのゲート電極を形成する工程で同時に形成すれば良い。または、例えば、絶縁膜2を形成した後、酸化珪素膜を形成し、この酸化珪素膜をフォトリソグラフィ技術でパターンニングし、前記突起物12を形成しても良い。

【0054】この後、前記図示しない素子及び突起物12の上層に、層間絶縁膜13を形成する。この際、前記突起物12上の層間絶縁膜13には、前記突起物12の形状に対応した凸状領域が形成される。

【0055】次に、前記層間絶縁膜13上に、第1の配線3を形成する。この際、この第1の配線3の下層の層間絶縁膜13には、前記突起物12に対応する凸状領域が形成されているので、この第1の配線3にも凸状領域が形成される。

【0056】次に、前記第1の配線3上に、第1の層間絶縁膜4を形成する。この際、この層間絶縁膜4の表面にも、前記突起物12に起因する凸状領域が形成される。この後、この層間絶縁膜4上に、フォトレジスト膜14を形成する。

10

20

30

40

50

【0057】次に、前記フォトリソ膜14及び前記第1の層間絶縁膜4の夫々を、異方性エッチングで均等にエッチングし、前記第1の配線3の表面を露出させると共に、これ以外の領域に層間絶縁膜4を形成する。

【0058】この後、前記第2の配線11を形成する工程以後の工程を前記実施例1と同様に行なうことにより、本実施例2の半導体集積回路装置は完成する。

【0059】以上、説明したように、本実施例2の製造方法によれば、第1の配線3と第2の配線11との接続領域を、第1の配線3に対して、自己整合的に規定することができ、合わせ余裕に相当する分、接続部を微細化することができる。これにより、更に、半導体集積回路装置の高集積化を図ることができる。

【0060】また、前記突起物12を、前述したようにMISFETのゲート電極を形成する工程で同時に形成することにより、前記接続用配線7及び第2の層間絶縁膜9を形成する工程に相当する分、製造工程数を低減することができる。

【0061】〔実施例3〕次に、本発明の実施例3の半導体集積回路装置の製造方法を、図11及び図12（製造工程の一部を示す要部断面図）の夫々を用いて説明する。

【0062】まず、前記実施例1の図3に示す工程までを行なう。この後、光CVD法により、選択的にアルミニウム膜またはアルミニウム合金膜を形成し、接続孔6上に接続用配線7を形成する。この後、前記第2の層間絶縁膜9を形成する工程以後の工程を行なうことにより、本実施例3の半導体集積回路装置は完成する。

【0063】以上、説明したように、本実施例3の製造方法によれば、光CVD法でアルミニウム膜またはアルミニウム合金膜を形成する場合には、接続孔6上に選択的に接続用配線7が形成されるので、合わせ余裕に相当する分、接続部を微細化することができる。これにより、更に、半導体集積回路装置の高集積化を図ることができる。

【0064】また、前記第2の層間絶縁膜9を形成する工程に相当する分、製造工程数を低減することができる。

【0065】以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0066】例えば、前記実施例1乃至実施例3では、前記第1の配線3、接続用配線7、第2の配線11の夫々をアルミニウム膜またはアルミニウム合金膜で形成した例を示したが、本発明は、これらの配線の全部または

いずれかを他の導電膜で形成することもできる。

【0067】また、前記第1の層間絶縁膜4を、パイアスパッタリング法で形成した例を示したが、本発明は、前記第1の層間絶縁膜4を、例えば、CVD法形成した酸化珪素膜で構成することもできる。

【0068】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0069】半導体集積回路装置の製造方法において、高集積化を図ることができる。

【0070】また、前記半導体集積回路装置の製造方法において、電気的信頼性を向上することができる。

【0071】また、前記半導体集積回路装置の製造方法において、動作速度を高速化することができる。

【0072】また、前記半導体集積回路装置の製造方法において、歩留りを向上することができる。

【図面の簡単な説明】

【図1】 実施例1の半導体集積回路装置の要部断面図

【図2】 前記半導体集積回路装置を製造工程毎に示す要部断面図

【図3】 前記半導体集積回路装置を製造工程毎に示す要部断面図

【図4】 前記半導体集積回路装置を製造工程毎に示す要部断面図

【図5】 前記半導体集積回路装置を製造工程毎に示す要部断面図

【図6】 前記半導体集積回路装置を製造工程毎に示す要部断面図

【図7】 前記半導体集積回路装置を製造工程毎に示す要部断面図

【図8】 実施例2の半導体集積回路装置の製造工程の一部を示す要部断面図

【図9】 前記半導体集積回路装置の製造工程の一部を示す要部断面図

【図10】 前記半導体集積回路装置の製造工程の一部を示す要部断面図

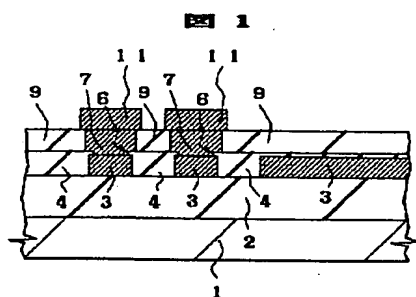
【図11】 実施例3の半導体集積回路装置の製造工程の一部を示す要部断面図

【図12】 前記半導体集積回路装置の製造工程の一部を示す要部断面図

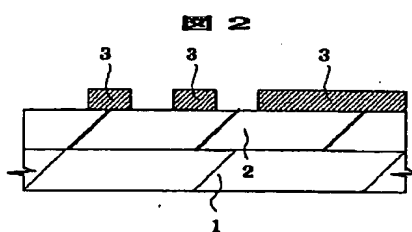
【符号の説明】

1…半導体基板、2…絶縁膜、3…第1の配線、4…第1の層間絶縁膜、6…接続孔、7…接続用配線、9…第2の層間絶縁膜、11…第2の配線。

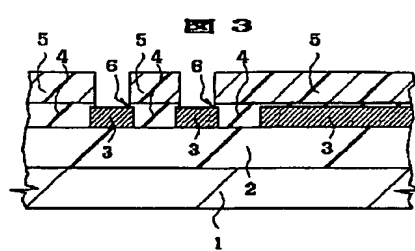
【図1】



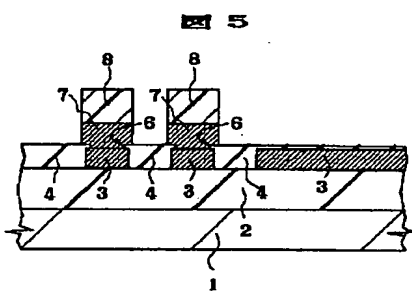
【図2】



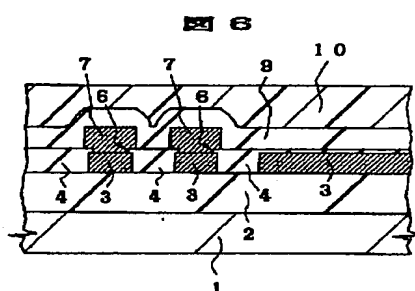
【図3】



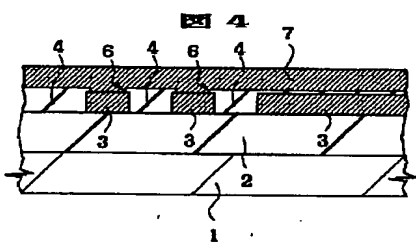
【図5】



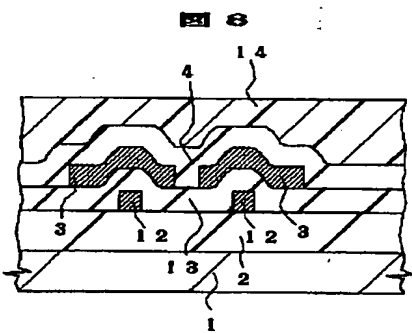
【図6】



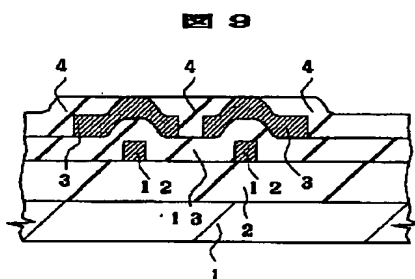
【図4】



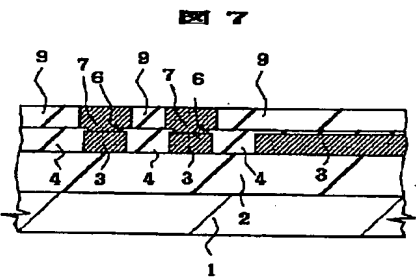
【図8】



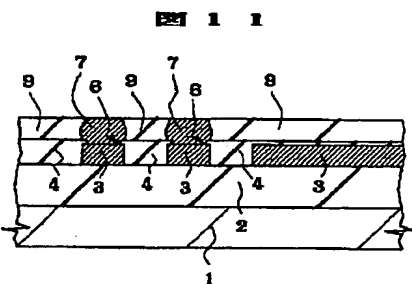
【図9】



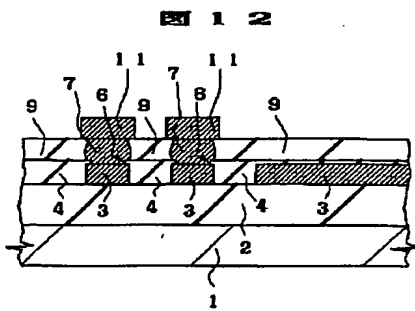
【図7】



【図11】



【図12】



【図10】

